

# Indice

<b>Elenco delle figure</b>	<b>vi</b>
<b>1 Modulazioni digitali</b>	<b>3</b>
1.1 Sommario	3
1.2 Modulazione	3
1.2.1 Traslazione in frequenza	4
1.2.1.1 Spazio dei segnali	6
1.2.1.2 Tipologie di modulazioni satellitari	6
1.3 Principi di demodulazione	12
1.3.1 Demodulatore	12
1.3.2 Decisore	14
1.3.3 Interferenza intersimbolica	17
1.3.4 Principi di codifica	21
1.3.5 Capacità trasmissiva	23
<b>2 Architetture modulatori QPSK</b>	<b>26</b>
2.1 Sommario	26
2.2 Realizzazioni digitali di modulatori QPSK	27
2.2.1 Modulatore DDFS	27
2.2.2 Modulatore classico	28
2.2.2.1 Modulatore classico con $f_{clk} = 4 \times f_{if}$	30
<b>3 Implementazione SRRC polifase</b>	<b>33</b>
3.1 Sommario	33
3.2 Progetto del filtro SRRC	33
3.3 Implementazione polifase SRRC	35
3.3.1 Modello Matlab	35
3.4 Modello VHDL	37
3.4.1 Polifase standard <i>gated-clock</i>	37
3.4.1.1 SRRCxN	37
3.4.1.2 Rate Adapter	39
3.4.1.3 Risultati sperimentali	40
3.4.2 ROM Polifase <i>clock-enable</i>	40

3.4.2.1	Risultati sperimentali . . . . .	42
<b>4</b>	<b>Implementazione Modulatore QPSK</b>	<b>44</b>
4.1	Sommario . . . . .	44
4.2	Modello Matlab . . . . .	44
4.3	Modelli VHDL . . . . .	47
4.3.1	Modulatore classico . . . . .	47
4.3.2	ThinModulator . . . . .	49
4.3.2.1	Risultati sperimentali . . . . .	53
4.3.2.1.1	Test VHDL . . . . .	53
4.3.2.1.2	Test FPGA . . . . .	54
<b>5</b>	<b>Conclusioni</b>	<b>58</b>
<b>A</b>	<b>Sintesi diretta di frequenza digitale</b>	<b>59</b>
A.1	Sommario . . . . .	59
A.2	DDFS . . . . .	59
A.3	Pianificazione delle frequenze . . . . .	61
A.3.1	Spurie dovute al DAC . . . . .	61
A.3.2	Spurie dovute al troncamento della fase . . . . .	62
A.4	Convertitore Fase-Frequenza . . . . .	63
A.4.1	Algoritmo CORDIC . . . . .	64
A.5	Descrizione modello matematico . . . . .	65
A.6	Descrizione modello VHDL . . . . .	66
<b>B</b>	<b>Sistemi Multirate</b>	<b>71</b>
B.1	Sommario . . . . .	71
B.2	Downsampling e Upsampling . . . . .	71
B.3	Architetture Multirate . . . . .	74
B.3.1	CIC . . . . .	75
B.3.2	Polifase . . . . .	78
<b>C</b>	<b>Logiche programmabili</b>	<b>81</b>
C.1	Sommario . . . . .	81
C.2	Tipologie di logiche programmabili . . . . .	81
C.3	Architettura Virtex . . . . .	83
C.3.1	CLB . . . . .	83
C.3.2	IOB . . . . .	85
C.3.3	Risorse di connessione . . . . .	86
C.3.4	Circuiti di utilità . . . . .	86
C.3.4.1	DLL . . . . .	87
C.3.4.2	BlockRAM . . . . .	87
C.3.4.3	SRL16 . . . . .	88

<b>D</b>	<b>Flusso di progettazione</b>	<b>89</b>
D.1	Sommario . . . . .	89
D.2	Modello Matematico . . . . .	89
D.3	Modello VHDL . . . . .	89
D.4	Sintesi del progetto . . . . .	90
D.5	Mappatura . . . . .	90
D.6	Piazzamento delle risorse . . . . .	91
D.7	Connessione delle risorse . . . . .	91
D.8	Simulazione back-annotata . . . . .	91
D.9	Programmazione della FPGA . . . . .	91
D.10	Verifica sperimentale . . . . .	92
<b>E</b>	<b>Listati Matlab</b>	<b>93</b>
E.1	NCO . . . . .	93
	NCO_Q.m . . . . .	93
	Imposta_frequenze_Q.m . . . . .	94
	Imposta_NCO_Q.m . . . . .	94
	Crea_super_accumulatore_Q.m . . . . .	94
	Tronca_Q.m . . . . .	94
	Crea_coseno_e_seno_Q.m . . . . .	95
	Forward_cordic_Q.m . . . . .	96
	Calcola_rotazioni_Cordic.m . . . . .	96
	Visualizza_spettro_e_SFDR_p.m . . . . .	96
	Calcola_SFDR.m . . . . .	97
	Calcola_incremento_fase_NCO.m . . . . .	97
	Visualizza_spettro_NCO_VHDL.m . . . . .	97
E.2	Creazione vettori di test . . . . .	97
	CreaVettoriTest.m . . . . .	98
	CreaSequenzaPatternGenerator.m . . . . .	100
E.3	Polifase . . . . .	100
	Creazione coefficienti . . . . .	100
	CreaCoeffsFreqSamplScaled.m . . . . .	101
	applica_polifase.m . . . . .	102
	RaisedCosineResponse.m . . . . .	102
	CreaROM.m . . . . .	103
	Test VHDL . . . . .	104
	PolyphasePSDVHDLvsPSDMatlab.m . . . . .	105
	applica_polifase.m . . . . .	105
	Test FPGA . . . . .	105
	VisualizzaPSDPolifaseVHDLFPGAout.m . . . . .	106
	applica_polifase.m . . . . .	106
E.4	Modulatore . . . . .	106
	Tabella e grafico BER . . . . .	106
	CreaTabellaBER.m . . . . .	107

calcolaBER.m . . . . .	108
Test VHDL . . . . .	108
QPSKModemPSDeBERVHDLvsMatlab.m . . . . .	112
applica_polifase.m . . . . .	112
Test FPGA . . . . .	112
QPSKModemPSDFPGAvsPSDMatlab.m . . . . .	113
applica_polifase.m . . . . .	114
<b>F Listati VHDL</b>	<b>115</b>
nco.vhd . . . . .	116
accumulator.vhd . . . . .	117
cordic_pipelined_unrolled.vhd . . . . .	120
cordic_base_j.vhd . . . . .	121
adder_12.vhd . . . . .	121
adder_13.vhd . . . . .	122
reg_12.vhd . . . . .	122
reg_13.vhd . . . . .	122
shifter.vhd . . . . .	123
cosine_rebuild.vhd . . . . .	123
delay_13.vhd . . . . .	123
sine_rebuild.vhd . . . . .	124
to_first_quadrant.vhd . . . . .	124
troncatore_12.vhd . . . . .	124
polyphase_gatedClock.vhd . . . . .	125
srrc_coefs.vhd . . . . .	125
rate_adapter.vhd . . . . .	126
coefs_selector.vhd . . . . .	130
counter_divider_3.vhd . . . . .	130
counter_divider_4.vhd . . . . .	131
fftr.vhd . . . . .	131
counter_divider_6.vhd . . . . .	132
selector.vhd . . . . .	132
srrc_x_n.vhd . . . . .	136
fir_1.vhd . . . . .	138
adder_7.vhd . . . . .	139
fir_multiplier.vhd . . . . .	139
shift_reg.vhd . . . . .	139
mux_6.vhd . . . . .	140
ROM_polyphase.vhd . . . . .	140
counter.vhd . . . . .	141
srrc_x_n.vhd . . . . .	143
demux_3x10.vhd . . . . .	143
mux_3x12.vhd . . . . .	143
ROMx3.vhd . . . . .	148

ROMx4.vhd . . . . .	153
ROMx6.vhd . . . . .	161
shift_reg.vhd . . . . .	162
Modulator_BlockRAM.vhd . . . . .	163
adder_I_Q.vhd . . . . .	164
counter.vhd . . . . .	164
multiplier_I_Q.vhd . . . . .	164
NCO_basic.vhd . . . . .	165
srrc_x_n.vhd . . . . .	166
ram.vhd . . . . .	166
shift_reg.vhd . . . . .	166
FIFO_RAM_ThinModulator.vhd . . . . .	168
counter.vhd . . . . .	168
Data_Source_Interface.vhd . . . . .	169
asynch_fifo_2x15.vhd . . . . .	170
ffd.vhd . . . . .	170
ffd_en.vhd . . . . .	170
ffs.vhd . . . . .	171
ThinModulator.vhd . . . . .	172
mult_C2_adder.vhd . . . . .	173
mux_2x7.vhd . . . . .	173
ram_12x4096_rising_registered.vhd . . . . .	174
shift_reg.vhd . . . . .	174
<b>G Acronimi</b>	<b>175</b>
<b>Bibliografia</b>	<b>178</b>
<b>Indice analitico</b>	<b>183</b>