

## Capitolo 2

# Architetture modulatori QPSK

### 2.1 Sommario

Dalla formula che descrive la generica modulazione M-PSK

$$s_m(t) = \sqrt{\frac{2E_S}{T}} g(t) \cos\left(\frac{2\pi}{M}(m-1)\right) \cos(2\pi f_c t) - \sqrt{\frac{2E_S}{T}} g(t) \cos\left(\frac{2\pi}{M}(m-1)\right) \sin(2\pi f_c t) \quad (2.1)$$

si ricava immediatamente lo schema di un modulatore che la implementi infatti  $\cos(2\pi f_c t)$  e  $\sin(2\pi f_c t)$  sono due portanti in quadratura generabili in forma analogica come in Figura(2.1)

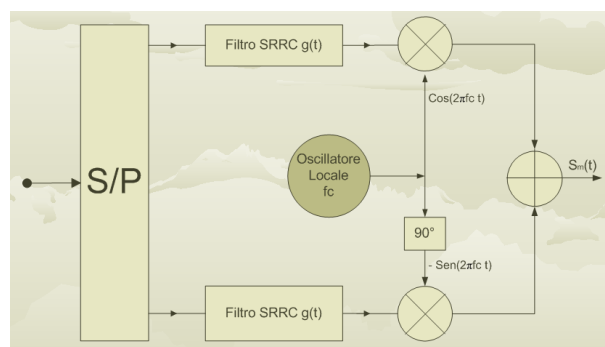


Figura 2.1: Modulatore Standard

o in forma digitale ottenendo in tal caso risultati nettamente superiori in termini di purezza spettrale e risoluzione.

La modulante agisce su  $m \in (0, 1, 2, 3)$ , corrispondentemente il termine  $\cos\left(\frac{2\pi}{M}(m-1)\right)$  si valorizza nell'insieme  $(-1, 0, +1)$  e quindi ben si presta ad una realizzazione digitale. La *sagomatura dell'impulso*<sup>1</sup>  $g(t)$  necessaria ai fini dell'eliminazione dell'ISI si realizza con un filtro analogico o digitale, quest'ultimo è da preferire in quanto non necessita di tarature individuali ed è meno ingombrante.

L'orientamento pertanto è stato sin dall'inizio per una realizzazione completamente digitale, tuttavia anche nel solo ambito digitale vi sono diverse modalità di implementare alcuni dei blocchi costituenti il modulatore, nel seguito verranno esposte le diverse soluzioni prese in considerazione ed i criteri che hanno portato alla selezione dell'architettura adottata.

## 2.2 Realizzazioni digitali di modulatori QPSK

Sono state individuate due diverse architetture per la realizzazione del modulatore QPSK, la prima lo vede realizzato variando alcuni dei parametri di un DDS mentre la seconda si ottiene digitalizzando uno o più blocchi dello schema classico di Figura(2.1).

### 2.2.1 Modulatore DDS

Il *DDS*<sup>2</sup> è costituito da un accumulatore di fase il quale somma al suo valore precedente un contributo fisso generando così una rampa di fase, applicandola poi ad un convertitore fase-ampiezza si ottiene la funzione sinusoidale desiderata. Il DDS può essere utilizzato per realizzare tre differenti modulazioni come illustrato in Figura(2.2).

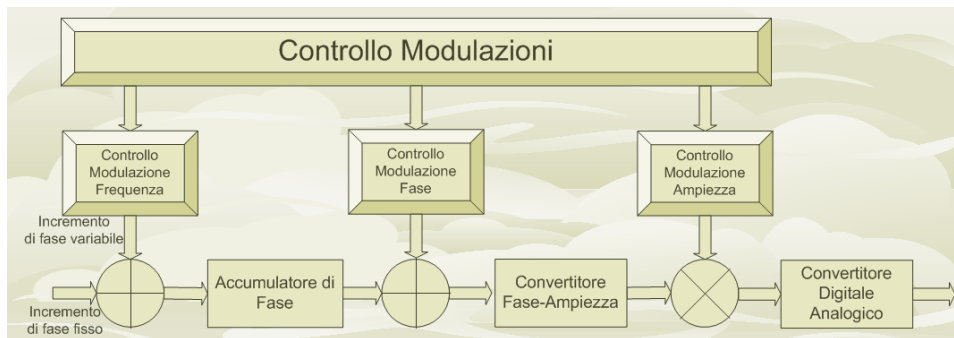


Figura 2.2: Modulatore DDS

La scelta dell'incremento di fase, congiuntamente alla frequenza di clock del sistema, determina la frequenza generata, sommando all'incremento fisso

<sup>1</sup> Sezione(1.3.3)

<sup>2</sup> Appendice(A.2)

un valore variabile in funzione della modulante si realizza una modulazione di frequenza con ottime prestazioni in quanto il cambio frequenza avviene con continuità di fase ed istantaneamente.

La modulazione di fase si ottiene in maniera analoga sommando la modulante alla rampa di fase generata dall'accumulatore, l'involuppo costante che ne deriva non consente di implementare *sagomatura dell'impulso*<sup>3</sup> in quanto questa, come visto in Figura(1.21), produce un involuppo il cui modulo varia nel tempo e viene a coincidere con i punti della costellazione nei soli istanti di simbolo.

La terza modulazione implementabile è quella d'ampiezza che si ottiene secondo lo schema classico ossia moltiplicando la portante sinusoidale che si ha in uscita dal convertitore fase-ampiezza per la modulante.

In definitiva il modulatore basato sul DDS è molto flessibile e consente di applicare contemporaneamente ad una stessa modulante una o più modulazioni<sup>4</sup> tuttavia la limitazione che riguarda l'involuppo complesso lo rende inutilizzabile per la realizzazione di un modulatore QPSK per applicazioni spaziali.

### 2.2.2 Modulatore classico

L'implementazione digitale del modulatore classico si basa anche essa sul DDS<sup>5</sup> il quale genera due portanti in quadratura aventi frequenza che da specifica deve essere 40MHz, esse sono in formato digitale pertanto ogni loro campione assume un valore compreso tra  $-1$  e  $+1$  ed è espresso in complemento a due su 12 bit. I campioni delle portanti vengono emessi alla frequenza di clock di 165MHz che è stata scelta in quanto multiplo intero dei 3 ritmi di simbolo di cui si richiede l'implementazione, in questo modo gli *interpolatori*<sup>6</sup> sono più semplici da realizzare rispetto al caso frazionario.

I valori dell'interpolazione sono riportati in Tabella(2.1) e vengono reali-

Data Rate Ingresso (Mbps)	Symbol Rate (MSPS)	Interpolazione
55	27,5	6
82,5	41,25	4
110	55	3

Tabella 2.1: Valori interpolazione richiesti

zzati tutti mediante una architettura *polifase*<sup>7</sup> sia perché l'architettura *CIC*<sup>8</sup>

<sup>3</sup>Sezione(1.3.3)

<sup>4</sup>ottenendo così una cifratura della comunicazione che ne può aumentare la segretezza

<sup>5</sup>Appendice(A.2)

<sup>6</sup>Appendice(B.2)

<sup>7</sup>Appendice(B.3.2)

<sup>8</sup>Appendice(B.3.1)

per valori così bassi richiede la compensazione del guadagno, che per il fatto che nel CIC la sagomatura d'impulso e l'eliminazione delle immagini<sup>9</sup> richiedono un ulteriore filtro che invece nel polifase è intrinseco.

Il DDFS viene realizzato utilizzando come convertitore fase-ampiezza un processore CORDIC<sup>10</sup> il quale ottimizza l'implementazione su FPGA ed è particolarmente adatto per modulatori in quadratura in quanto genera simultaneamente ed in maniera implicita sia il seno che il coseno.

Considerando per semplicità il solo data rate di 55Mbps in ingresso al modulatore, lo schema che risulta dalle precedenti considerazioni è mostrato in Figura(2.3),

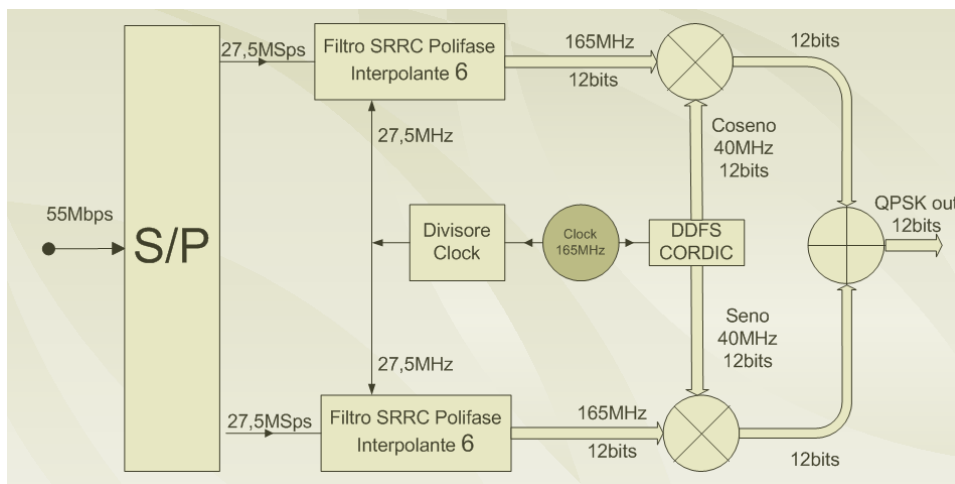


Figura 2.3: Modulatore QPSK classico per un solo data rate

essa evidenzia l'utilizzo di un blocco S/P il quale ha in ingresso un flusso binario a 55Mbps che suddivide in due flussi a 27,5MSps semplicemente distribuendo i bit pari sul ramo superiore<sup>11</sup> del modulatore ed i bit dispari sul ramo inferiore<sup>12</sup>.

L'architettura polifase richiede un clock con frequenza pari al ritmo di simbolo, nel caso in Figura(2.3) il divisore per 6 genera un clock a 27,5MHz a partire da un clock a 165MHz, la complessità che deriva dall'implementazione del divisore di frequenza è compensata dal fatto che gran parte della architettura polifase opera con un clock che è 6 volte inferiore rispetto al clock di sistema, di qui una minore dissipazione ed una più semplice progettazione del filtro ospitato dall'architettura stessa.

Lo schema del modulatore classico che consente di accettare 3 diversi

<sup>9</sup>create con l'inserzione di zeri nel processo di interpolazione

<sup>10</sup>Appendice(A.4.1)

<sup>11</sup>nel seguito denominato ramo I

<sup>12</sup>nel seguito denominato ramo Q

data rate in ingresso è in Figura(2.4), ad ogni data rate corrisponde un

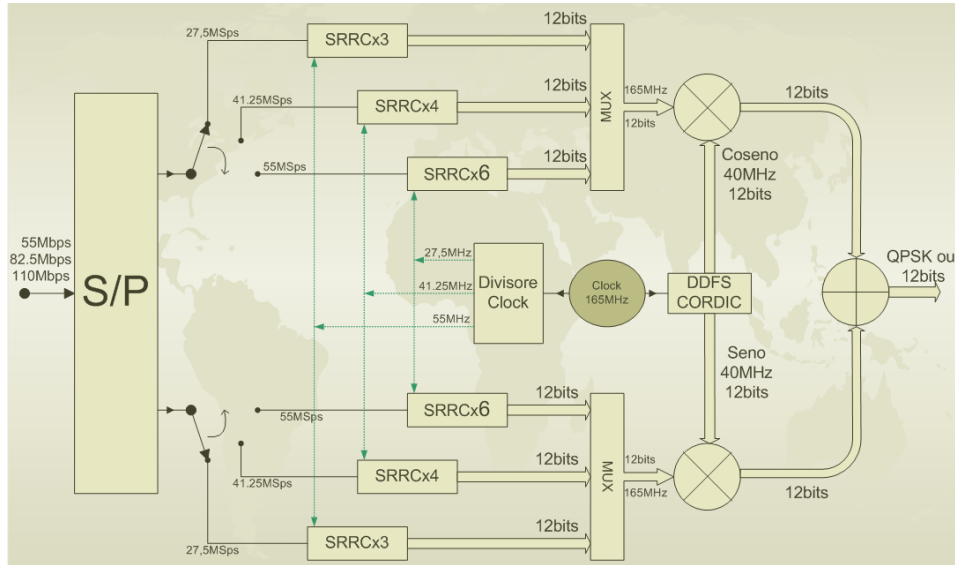


Figura 2.4: Modulatore QPSK classico 3 data rate

clock ridotto ed un diverso interpolatore polifase, si tratta pertanto di una soluzione abbastanza onerosa in termini di implementazione su FPGA richiede infatti 6 interpolatori, il che significa nella migliore delle ipotesi la necessità di 6 sommatore ciascuno avente fino ad un massimo di 7 ingressi a 12 bit, la complessità è molto elevata quindi la massima frequenza ottenibile con questa architettura è bassa.

Rispetto all'architettura in Figura(2.4) si possono introdurre diverse ottimizzazioni, come mostrato dalla Figura(2.5) nella quale si utilizzano due soli interpolatori, uno per il ramo I e l'altro per il ramo Q, essi sono dimensionati per il massimo rate d'interpolazione, cioè 6, per esso la decomposizione polifase prevede 6 filtri FIR ognuno dei quali utilizza 7 coefficienti<sup>13</sup>. Nel caso che invece di interpolare 6, che è il valore di default, si voglia interpolare 4 oppure 3 occorre caricare l'insieme dei coefficienti corrispondente ed impostare la divisione in modo da avere il giusto valore del clock ridotto, l'iterazione ciclica deve poi coinvolgere i primi 4 oppure i primi 3 rami della decomposizione polifase invece che tutti e 6 i rami.

### 2.2.2.1 Modulatore classico con $f_{clk} = 4 \times f_{if}$

Lo schema in Figura(2.5) comporta una notevole riduzione della complessità tuttavia prevede ancora l'utilizzo di un DDFS e di una coppia di moltiplicatori ciascuno con due ingressi a 12 bit, una loro implementazione su FPGA

<sup>13</sup>valore desunto analizzando la risposta in frequenza ai tre diversi data rate

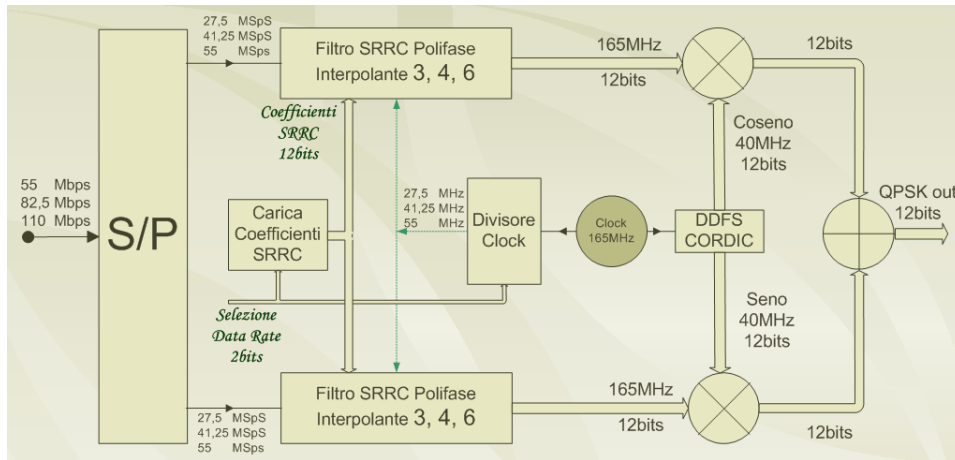


Figura 2.5: Modulatore QPSK classico 3 data rate Ottimizzato

è particolarmente onerosa, basti pensare che nella Xilinx Virtex2 essi vengono realizzati come blocchi ad alto livello implementati nella [BlockRAM<sup>14</sup>](#) e pertanto ottimizzati per velocità e dissipazione. In realtà imponendo tra la frequenza di clock  $f_{clk}$  e la frequenza intermedia desiderata  $f_{if}$  il vincolo:

$$f_{clk} = 4 \times f_{if} \quad (2.2)$$

si ha che il seno ed il coseno vengono campionati in corrispondenza degli angoli  $\frac{\pi}{2}$ ,  $\pi$ ,  $\frac{3\pi}{2}$ ,  $2\pi$  e loro multipli in corrispondenza dei quali le due funzioni assumono uno dei 3 valori  $(-1, 0, 1)$  come illustra la Tabella(2.2).

Angolo (rad)	Coseno	Seno
$\frac{\pi}{2}n$	0	1
$\pi n$	-1	0
$\frac{3\pi}{2}n$	0	-1
$2\pi n$	1	0

Tabella 2.2: Coseno e seno nel caso di  $f_{clk} = 4 \times f_{if}$

Il DDFS compie una enorme elaborazione cercando di approssimare questi valori come evidenziato dalla Figura(A.7) relativa ad una simulazione VHDL, tuttavia gli stessi possono essere ottenuti in maniera molto più efficiente e precisa utilizzando un contatore ed una ROM i quali sono in grado di generare una qualsiasi sequenza ripetitiva. Dati i valori assunti da seno e coseno la moltiplicazione non è una vera moltiplicazione ma si riduce a

<sup>14</sup>Appendice(C.3.4.2)

lasciar passare il campione proveniente dall'interpolatore SRRC, annullarlo oppure invertirlo in complemento a due a seconda che la funzione trigonometrica valga rispettivamente 1, 0 oppure  $-1$ . Lo schema che deriva dalle precedenti considerazioni è mostrato in Figura(2.6)

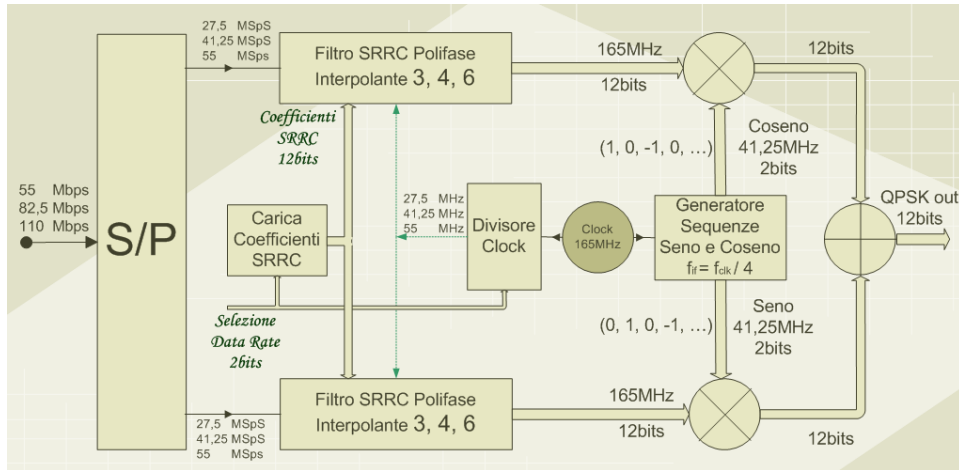


Figura 2.6: Modulatore QPSK classico 3 data rate  $f_{clk} = 4 \times f_{if}$

Un'ultima importante osservazione sulle sequenze seno e coseno che si hanno sotto l'ipotesi  $f_{clk} = 4 \times f_{if}$  è che esse alternano uno zero ad un altro valore, quindi in sostanza effettuano un'interpolazione di valore 2 che è in cascata a quella prodotta dall'SRRC polifase, essa può pertanto essere ridotta consentendo al polifase di operare ad una frequenza più bassa, tale opportunità non è stata utilizzata in quanto l'ortogonalità delle due sequenze consente un'ottimizzazione ancor più rilevante come descritto nel Capitolo(4).

L'unico svantaggio arrecato dal vincolo  $f_{clk} = 4 \times f_{if}$  è che  $f_{if}$  non è più 40MHz bensì 41,25MHz, non appare tuttavia come una grande limitazione in quanto in ogni caso l'uscita modulata, centrata sulla frequenza intermedia, deve essere traslata a frequenze più consone alla trasmissione satellitare.